

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-43214

(43)公開日 平成6年(1994)2月18日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 0 1 R 31/28				
G 0 6 F 11/22	3 1 0 D	8323-5B 6912-2G	G 0 1 R 31/ 28	G

審査請求 未請求 請求項の数19(全 12 頁)

(21)出願番号 特願平5-90802

(22)出願日 平成5年(1993)3月25日

(31)優先権主張番号 8 5 8 3 7 7

(32)優先日 1992年3月26日

(33)優先権主張国 米国 (U S)

(71)出願人 390023157

ノーザン・テレコム・リミテッド

NORTHERN TELECOM L I
MITEO

カナダ国, エイチ2ワイ 3ワイ4, ケベ
ック, モントリオール, エスティ. アント
イン ストリート ウェスト 380 ワー
ルド トレード センタ オブ モントリ
オール 8フロア

(74)代理人 弁理士 泉 和人

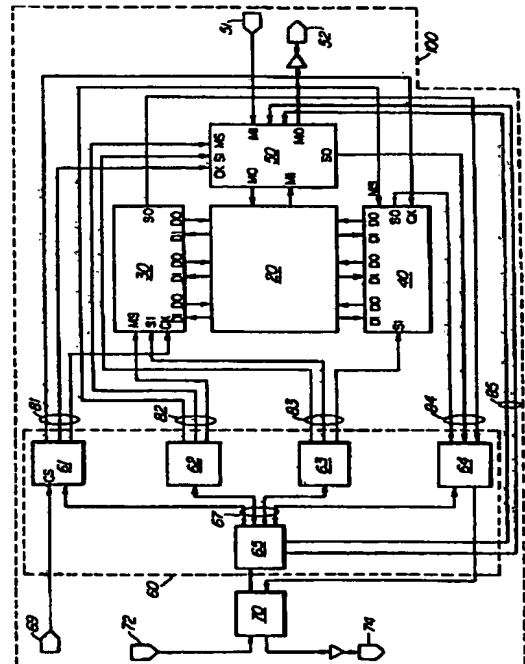
最終頁に続く

(54)【発明の名称】 デジタルシステムをテストするための方法及び装置

(57)【要約】

【目的】 本発明は、通常動作の間、異なる記憶素子が異なるレートでクロッキングされるデジタル集積回路のようなデジタルシステムをテストする方法及び装置を提供する。

【構成】 このデジタルシステムをテストするための装置は少なくとも1つの複合ネットワークと、複数の走査可能な記憶素子とを含む。その記憶素子は、通常動作モードでは、記憶素子が複合ネットワークと相互接続され、走査モードでは、記憶素子が複数の走査チェーンを構成するように接続される。この装置は、多重クロック信号を発生する多重クロックジェネレータ、及び、走査モードで各クロックレートでテスト刺激パターンを各走査チェーンにクロッキングし、通常動作モードで各クロックレートの最高レートで少なくとも1クロックサイクルの間記憶素子を再構成し、走査モードで各クロックレートで各走査チェーンからのテスト反応パターンをクロッキングする構成コントローラを含む。



1

【特許請求の範囲】

【請求項1】 複数の走査可能な記憶素子と、少なくとも一つの複合ネットワークで構成されるデジタルシステムをテストする方法において：走査モードで、記憶素子が複数の走査チェーンを含むように構成され、各クロックレートで、テスト刺激パターンを各走査チェーンにクロッキングし、少なくとも2つのクロックレートは互いに異なり、通常動作モードで、各クロックレートの最高レートで少なくとも1クロックサイクルの間、記憶素子が複合ネットワークに相互接続されよう構成され、記憶素子を走査モードに構成し、各クロックレートで各走査チェーンからテスト応答パターンをクロッキングする、ことを特徴とするデジタルシステムをテストするための方法。

【請求項2】 請求項1の方法において：テスト刺激パターンは、各走査入力期間の間に、各走査チェーンにクロッキングされ、各走査入力期間は、複数のクロック・サイクルで、各クロックレートの最高のレートで重複し、各走査チェーンの記憶素子は、各通常モード期間の間に通常動作モードに構成され、全ての各走査入力期間は各クロックレートの最高のクロックレートで少なくとも1クロック・サイクル間重複し、テスト応答パターンは、各走査出力期間の間、各走査チェーンからクロッキングされ、全ての各走査出力期間は各クロックレートの最高のクロックレートで複数のクロック・サイクル間重複することを特徴とするデジタルシステムをテストするための方法。

【請求項3】 請求項2の方法において：各走査チェーンに対する各通常モード期間は、各クロックレートの最高のレートにおける一つのクロックサイクルであることを特徴とするデジタルシステムをテストするための方法。

【請求項4】 請求項2の方法において：各走査チェーンに対する各通常モード期間は、その走査チェーンの各クロックレートにおいて一つのクロックサイクルであることを特徴とするデジタルシステムをテストするための方法。

【請求項5】 請求項2の方法において：さらに、走査チェーンの各クロックレートの最高のレートで動作するランダムパターンジェネレータ中にテスト刺激パターンを生成し、走査チェーンの各クロックレートの最高のレートで動作するテスト符号処理装置でテスト応答パターンを処理することを特徴とするデジタルシステムをテストするための方法。

【請求項6】 請求項5の方法において：各走査チェーンは、通常動作の間に一つのクロックレートでクロッキングされる記憶素子から構成され、

2

各走査チェーンの各クロックレートは、その記憶素子の通常動作の間のクロックレートとほぼ等しいことを特徴とするデジタルシステムをテストするための方法。

【請求項7】 請求項5の方法において：さらに、各クロックレートの最高レートで動作する第1のクロック信号を供給し、前記第1のクロック信号から、他の各クロックレートで動作するクロック信号を発生させることを特徴とするデジタルシステムをテストするための方法。

【請求項8】 請求項7の方法において：さらに、記憶素子が通常動作モードに構成されるとき、第1クロック信号の共通周期の間に全ての記憶素子をアップデートすることを特徴とするデジタルシステムをテストするための方法。

【請求項9】 請求項8の方法において：第1のクロック信号は第1のバース幅を有するバースを含み、クロック信号を発生するステップは、第1クロック信号から他の各クロックレートで動作しているクロック信号を発生し、その発生されたクロック信号は第1のバース幅を有するバースで構成されることを特徴とするデジタルシステムをテストするための方法。

【請求項10】 複数の走査可能な記憶素子及び少なくとも一つの複合ネットワークを含むデジタルシステムをテストする方法において：一連の後続のテストパターンシーケンスに対して、請求項3で構成される方法を繰り返し、そこで各後続のテストパターンシーケンスは前のテストパターンシーケンスよりも長くなく、各テストパターンシーケンスから得られるテスト符号を予想テスト符号と比較し、

テストパターンシーケンスから得られたテスト符号が、テストパターンシーケンスに対する予想テスト符号に対応しない場合は、一連のテストパターンシーケンスを阻止することを特徴とする複合ネットワーク。

【請求項11】 少なくとも1つの複合ネットワークと、複数の走査可能な記憶素子とを含み、その記憶素子は、通常動作モードでは、記憶素子は複合ネットワークと相互接続され、走査モードでは、記憶素子は複数の走査チェーンを構成するために接続され、

さらに、各クロックレートにおいて各走査チェーンの内
40 外からテストパターンをクロッキングするための多重クロック信号を発生する多重クロックジェネレータを含み、そのクロック信号の少なくとも2つのクロックレートは互いに異なり、

さらに、記憶素子を走査モードに構成し、各クロックレートでテスト刺激パターンを各走査チェーンにクロッキングし、通常動作モードで各クロックレートの最高レートで少なくとも1クロックサイクルの間記憶素子を再構成し、走査モードで各クロックレートで各走査チェーンからのテスト反応パターンをクロッキングする構成コン
50 トローラを含むことを特徴とするデジタルシステムを

3

テストするための装置。

【請求項12】 請求項11の装置において：さらに、走査チェーンにクロッキングするためのテスト刺激パターンを発生するために走査チェーンの各クロックレートの最高のレートで動作可能なテスト刺激パターンジェネレータと、

走査チェーンにクロッキングするためのテスト反応パターンを発生するために走査チェーンの各クロックレートの最高のレートで動作可能なテスト応答パターン処理装置とを含むことを特徴とするデジタルシステムをテストするための装置。

【請求項13】 請求項12の装置に複合ネットワークの入力を外部ネットワークへ接続するための少なくとも一つの入力端子を有し、複合ネットワークの出力を外部ネットワークに接続するための少なくとも一つの出力端子を有する集積回路を組み込んだ装置において：さらに、各入力端子のための各走査可能な記憶素子と、各入力端子に印加されたデータと、各走査可能な記憶素子にストアされたデータとの間で選択し、複合ネットワークの対応の入力に印加するように動作する各入力データセレクトと、
各出力端子のための各走査可能な記憶素子と、複合ネットワークの各出力端子に印加されたデータと、各走査可能な記憶素子にストアされたデータとの間で選択し、対応の出力端子に印加するように動作する各出力データセレクトとを含むことを特徴とするデジタルシステムをテストするための装置。

【請求項14】 請求項13の装置において：走査可能な記憶素子が走査モードに構成されるときに、各入力端子及び各出力端子に対する各走査可能な記憶素子は、少なくとも一つの境界走査チェーンを形成するように接続されることを特徴とするデジタルシステムをテストするための装置。

【請求項15】 請求項14の装置において：境界走査チェーンは、それ自身のクロック・ネットワークに供給され、境界走査チェーンは他の走査チェーンと独立にクロッキングされることを特徴とするデジタルシステムをテストするための装置。

【請求項16】 請求項13の装置において：さらに、テスト・アクセスポートを含み、そのテスト・アクセスポートは外部テストから制御信号を受信するための少なくとも一つの入力端子に、及び外部テストにテスト結果を送出するための少なくとも一つの出力端子に結合されていることを特徴とするデジタルシステムをテストするための装置。

【請求項17】 請求項12の装置において：多重クロックジェネレータは、各クロックレートの最高レートで動作するクロック信号から他の各クロックレートのクロック信号を発生させることを特徴とするデジタルシステムをテストするための装置。

4

【請求項18】 請求項17の装置において：多重クロックジェネレータは、少なくとも一つの各クロックレートで、異なるクロック信号を発生し、各クロックレートで動作する走査チェーン内で記憶素子の二位相クロッキングを発生させる各デジタルシステムをテストするための装置。

【請求項19】 請求項11の装置において：記憶素子が通常動作モードに構成されたとき、第1のクロックレートでクロッキングされた第1の走査チェーンの第1の記憶素子は、データを、複合ネットワークを介して、第1のクロックレートより低い第2のクロックレートでクロッキングされた第2の走査チェーンの第2の記憶素子に供給し、

第2の走査チェーンの走査可能な記憶素子は、エッジトリガ・フリップフロップであることを特徴とするデジタルシステムをテストするための装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、一般に、デジタル集積回路のようなデジタルシステムをテストするための方法及び装置に関する。特に走査テスト技術を使用してデジタル・システムをテストするための方法及び装置に関する。

【0002】

【従来の技術】 従来のデジタル集積回路は、データ上の論理動作を実行するための複雑に組合わされた複合ネットワークと、複合ネットワークの動作にとって不可欠なメモリ機能を提供するために複合ネットワークと相互に接続された記憶素子を含んでいる。そのような集積回路は、その動作の複雑さのためにテストが困難である。

【0003】 現代のデジタル集積回路の設計者は、そのような回路がテストできるように設計段階でテスト装置をデジタル集積回路に取り入れる。レベル感応走査設計(LSSD)として知られる一つの設計技術においては、設計者は、回路を複合ネットワークと、通常フリップフロップで構成される走査可能な記憶素子とに区分する。このフリップフロップは、(その中でフリップフロップは回路の通常動作をサポートするために必要な回路として複合ネットワークに接続される)動作構成から、(その中でフリップフロップは複合ネットワークから開放され、1以上の「走査チェーン」として知られるシフトレジスタを形成するために直列に接続された)走査構成に再構成される。

【0004】 この走査構成は、この回路のテスト中に使用され、既知のテスト刺激パターンを走査チェーン中にシフトさせる。フリップフロップは、少なくとも1クロック・サイクルの間動作構成中に置かれ、複合ネットワークは、テスト刺激パターンを構成するデータの論理動作を実行し、フリップフロップ中にストアされたデータを変更する。その後、フリップフロップは、走査構成に戻さ

5

れ、走査チェーンからの変更データをテスト応答パターンとしてシフトする。テスト応答パターンは、計算テスト応答パターン又は適正に機能する回路から得られる応答パターンと比較され、それによって、テスト中のテストの回路が正しく機能しているかどうか判断される。

【0005】US特許の4,503,537は、マルチチップ・モジュールをテストする装置を開示し、そこでは、単一ランダムパターンジェネレータがランダムテスト刺激パターンをマルチチップ・モジュールを形成するデジタル集積回路（またはチップ）の各走査チェーンに並行して供給する。一つの符号レジスタは、評価のために、集積回路の各走査チェーンから並行にテスト応答パターンを受信する。（W. H. McAnney の名で1985年3月5日に発行されたUS特許4,503,537「並列バス自己テストシステム」）

【0006】

【発明が解決しようとする課題】上記のUS特許4,503,537に開示されたテスト装置において、個々の集積回路の各走査チェーンは、全て、同じレートでクロッキングされる。このクロックレートは、マルチチップ・モジュールを形成する全ての集積回路の複合ネットワークを介した走査可能な記憶素子間の最長伝搬遅延時間によって制限される。もし高いクロックレートが使われたならば、一以上の複合ネットワークはテスト刺激パターン上で動作するための十分な時間がなく、テスト応答パターンはテスト刺激パターン上の複合ネットワークの動作を正しく示さないであろう。

【0007】複合ネットワークを介して走査可能な記憶素子間で伝搬遅延時間の分布が存在するところでは、US特許の4,503,537の装置は複合ネットワークを必要以下の低クロックレートでテストするので、それらの複合ネットワークのテストを終了させるのに要する時間が非常に長くなる。さらに、テスト用のクロックレートは、少なくとも記憶素子に対する通常動作の間に使用されるクロックレートより一般に低いので、そのテスト結果は、通常動作速度におけるそれらの記憶素子及びその関連する複合ネットワークの動作を正確に示さない。特に、通常の回路動作中に、過度の伝搬遅延時間によって生じるある種の誤りが検知されない場合もある。本発明のテスト方法及び装置は、先に述べたような既知のテスト方法及び装置の問題点のいくつかを取り除き又は軽減する。

【0008】

【課題を解決するための手段】本発明の一つの面は、複数の走査可能な記憶素子と、少なくとも一つの複合ネットワークで構成されるデジタルシステムをテストする方法を提供する。この方法は、次のステップを含む。

(1) 走査モードで、記憶素子が複数の走査チェーンを含むように構成され、(2) 各クロックレートで、テスト刺激パターンを各走査チェーンにクロッキングし、こ

6

こで、少なくとも2つのクロックレートは互いに異なり、(3) 通常動作モードで、各クロックレートの最高レートで少なくとも1クロックサイクルの間、記憶素子が複合ネットワークに相互接続されよう構成され、

(4) 記憶素子を走査モードに構成し、(5) 各クロックレートで各走査チェーンからテスト応答パターンをクロッキングする。

【0009】好ましくは、重複期間の間に、テスト刺激パターンは走査チェーンの全てにクロッキングされ、全ての走査チェーンの記憶素子は重複期間の間に通常動作モードに構成され、またテスト応答パターンは、重複期間の間に、全ての走査チェーンからクロッキングされ、テストに必要な時間を減少させる。各走査チェーンが通常動作の間に単一クロックレートでクロッキングされる記憶素子から構成され、各走査チェーンの各クロックレートがその記憶素子の通常動作の間クロックレートとほぼ等しいところでは、このテストは、通常動作速度でデジタルシステムの動作を正しく表示するであろう。

【0010】本発明の他の面は、走査テストに用いられるデジタルシステムをテストするための装置を提供する。このデジタルシステムをテストするための装置は、少なくとも1つの複合ネットワークと、複数の走査可能な記憶素子とを含む。その記憶素子は、通常動作モードでは、記憶素子は複合ネットワークと相互接続され、走査モードでは、記憶素子は複数の走査チェーンを構成するために接続される。さらに、この装置は、各クロックレートにおいて各走査チェーンの内外からテストパターンをクロッキングするための多重クロック信号を発生する多重クロックジェネレータを含み、そのクロック信号の少なくとも2つのクロックレートは互いに異なる。さらに、この装置は、記憶素子を走査モードに構成し、各クロックレートでテスト刺激パターンを各走査チェーンにクロッキングし、通常動作モードで各クロックレートの最高レートで少なくとも1クロックサイクルの間記憶素子を再構成し、走査モードで各クロックレートで各走査チェーンからのテスト反応パターンをクロッキングする構成コントローラを含む。

【0011】好ましくは、この装置は、集積回路を含み、テスト刺激パターンジェネレータ及びテスト応答パターン処理装置を含む。さらに好ましくは、この集積回路は、そのデータ入力端子及びデータ出力端子で走査可能な記憶素子を含むことができ、それらの走査可能な記憶素子は、境界走査チェーンとして構成できる。この装置は、また、外部テストからの制御信号を受信し、外部テストにテスト結果を送出するためのテスト・アクセスポートを含むことができる。

【0012】

【作用】本発明のデジタルシステムをテストする方法及び装置において、デジタルシステムの走査可能な記憶素子は走査モードに構成される。この走査モードにお

7

いて、記憶素子は複数の走査チェーンを構成するために接続される。テスト刺激パターンは、少なくとも2つのクロックレートがお互いに異なる各クロックレートにおいて、各走査チェーンにクロッキングされる。その後、各走査チェーンの記憶素子は通常動作モードに構成される。この通常走査モードにおいては、記憶素子は、少なくとも1クロック・サイクル間、各クロックレートの最高のレートで、複合ネットワークと相互接続される。その後、記憶素子は、走査モードに再構成され、テスト応答パターンは、その各クロックレートで各走査チェーンからクロッキングされる。

【0013】

【実施例】図1は、走査可能な記憶素子10の概略ブロック図である。走査可能な記憶素子10は、データ・マルチプレクサ12及びエッジ・トリガフリップフロップ14を含む。モード選択信号MSに応じて、マルチプレクサ12はデータ入力DI又は走査入力SIのいずれかを選択し、フリップフロップ14のデータ入力Dに印加する。フリップフロップ14はクロック信号CKによってトリガされるときに、データ出力Dの信号を走査出力SOとデータ出力DOに並行して転送する。

【0014】図2は、複合ネットワーク20に接続され、複合ネットワーク20の走査テストを可能にするための複数の走査可能な記憶素子10を示す概略ブロック図である。記憶素子10は、通常動作モードを選択するためのモード選択信号MSを印加することにより、各記憶素子10でデータ入力DIを選択する。この通常動作モードにおいて、記憶素子10は複合ネットワーク20と相互接続され、複合ネットワーク20の動作にとって必要なメモリ機能を供給する。

【0015】同じく、各記憶素子10において走査入力SIの選択をさせるモード選択信号MSを印加することによって、記憶素子10は走査モードに構成される。この走査モードにおいては、記憶素子10のフリップフロップ14のデータ入力Dは、データ・マルチプレクサ12によって複合ネットワーク20から開放され、他の記憶素子10の走査出力SOに結合され、3つの走査チェーン30、40、50を構成する。走査チェーン30、40、50は、データパターンがクロッキングされるシフトレジスタとして動作する。

【0016】走査チェーン30、40、50の一つである50は境界走査チェーンと呼ばれる。その境界走査チェーン50は、複合ネットワーク20と、複合ネットワーク20を外部ネットワークに接続するために使用される入出力端子51、52と間に接続されるからである。境界走査チェーン50は、マルチプレクサ54、55の形式のデータ・セレクタを含み、このマルチプレクサは各入出力端子51、52と複合ネットワーク20の各入出力データと間に接続される。マルチプレクサ54は、入力端子51に接続され、複合ネットワーク20を外部

8

ネットワークから分離する走査テストの間、対応の複合ネットワーク20の入力を入力端子51から分離するために使用される。マルチプレクサ55は、出力端子52に接続され、外部ネットワークを複合ネットワーク20から分離する走査テストの間、複合ネットワークの対応出力から出力端子52を分離するために使用される。

【0017】複合ネットワーク20の通常の走査テストにおいて、走査可能な記憶素子10は適切なモード選択信号MSを印加することにより走査モードに構成される。そして既知のテスト刺激パターンは、共通テスト・クロックレートで各走査チェーン30、40、50にクロッキングされる。次に、走査可能な記憶素子10は、少なくとも1テスト・クロック・サイクルの間に選択信号MSを変えることにより通常動作モードに再構成される。それによって、複合ネットワーク20は、テスト刺激パターンを構成するデータ上で論理動作を実行し、走査可能な記憶素子10のいくつかにストアされたデータを変更する。次に、走査可能な記憶素子10は、モード選択信号MSを変えることによって走査モードに再構成され、テスト応答パターンは、各走査チェーン30、40、50から共通テスト・クロックレートでクロッキングされる。テスト応答パターンは、予想テスト応答パターンと比較され、複合ネットワーク20と記憶素子10が予想どおりに動作しているかどうか判断される。

【0018】共通テスト・クロックレートは、ネットワーク20の中で通常走査テストするために使用され、複合ネットワーク20を経由した最大伝搬遅延時間とテスト・クロックの信号源によって制限される。従って、共通テスト・クロックレートは、少なくともいくつかの記憶素子10の通常動作の間に使用されるクロックレートより一般に低く、そのテスト結果は通常動作速度では、記憶素子10及び複合ネットワーク20の関連部分の動作を正しく表示しない。特に、過度の伝搬遅延時間から生じるある種の誤りは検知されない場合がある。

【0019】図3は、本発明の一実施例によるデジタルシステム100の概略ブロック図である。デジタルシステム100は、先に述べたように、複合ネットワーク20と、複数の走査可能な記憶素子を含む。記憶素子は、通常動作モードを構成し、その中では記憶素子は複合ネットワーク20と相互接続され、また、走査モードを構成し、その中では記憶素子は、図3で示すように、走査チェーン30、40、50を構成する。各走査チェーン30、40、50は、データ入力DI及びデータ出力DOを有し、これらは走査チェーン30、40、50の個々のメモリセルのデータ入力及びデータ出力に対応する。記憶素子が通常動作モードに構成されるとき、これらのデータ入力DI及びデータ出力DOは複合ネットワーク20に接続される。走査チェーン30、40、50の一つの50は、境界走査チェーンであり、これらは、図2よりも詳細に示されるように、データ入力DI

9

とデータ出力DOを持ち、複合ネットワーク20の入力端子51及び出力端子52に接続される。各走査チェーン30、40、50は、同じく、走査入力SIを有し、走査チェーンの記憶素子が走査モードに構成されるとき、それは走査チェーンの入力端で記憶素子の走査入力に対応する。また、各走査チェーン30、40、50は、走査出力SOも有し、走査チェーンの記憶素子が走査モードに構成されるとき、走査チェーンの出力端で、記憶素子の走査出力に対応する。各走査チェーン30、40、50は、また、それぞれ走査チェーンの各記憶素子の中のクロック及びモード選択入力と並列に接続されるクロック入力CK及びモード選択入力MSを有する。

【0020】デジタルシステム100は、さらに、組み込み自己テスト(BIST)コア60及びテスト・アクセスポート(TAP)70を含む。TAP70はIEEE1149.1のテスト・インターフェースであり、デジタルシステム100中の少くとも一つのテスト入力端子72及び少くとも一つのテスト出力端子74に接続される。

【0021】BISTコア60は、多重クロックジェネレータ61、構成コントローラ62、テスト刺激パターンジェネレータ63、テスト応答パターン処理装置64及びいくつかの制御ロジック65を含む。制御ロジック65は、その入力が少くとも一つのTAP70に接続され、その出力が多重クロックジェネレータ61、構成コントローラ62、テスト刺激パターンジェネレータ63、及び制御バス67を経由してテスト応答パターン処理装置64とに接続される。多重クロックジェネレータ61は、デジタルシステム100のシステムクロック端子69に接続された入力を有する。またその各出力はクロック・バス81を経由して各走査チェーン30、40、50のクロック入力CKに接続される。構成コントローラ62は、モード選択バス82を経由して各走査チェーン30、40、50のモード選択入力MSに接続された各出力を有する。テスト刺激パターンジェネレータ63は、リニア・フィードバック・シフトレジスタ(LFSR)を有し、その各出力がテスト刺激バス83を経由して各走査チェーン30、40、50の走査入力SIに接続される。テスト応答パターン処理装置は、残りの応答バス84を経由して走査チェーン30、40、50中の出力SOに接続される各入力を有するLFSRを含む。制御ロジック65は、同様に、境界走査制御バス85を経由してマルチプレクサ54、55に接続される出力を有する。

【0022】全てのデジタルシステム100は、単一のモノリシックICが使用される。デジタルシステム100は、テスト入出力端子72、74を介して外部テストに接続され、走査テストが行われる。TAP70は、外部テストからの標準プロトコル・テスト制御信号を制御ロジック65に伝え、その制御ロジックは複数の

10

クロックジェネレータ61、構成コントローラ62、テスト刺激パターンジェネレータ63及びテスト応答パターン処理装置64に対して適切な制御信号を送り、制御走査を設定及びテストする。

【0023】デジタルシステム100では、走査可能な記憶素子は、デジタルシステム100の通常動作の間、それらのクロックレートに従って走査チェーンにグループ化される。特に、各走査チェーン30、40、50は、記憶素子から構成され、その記憶素子は一つのクロックレートで通常動作の間にクロッキングされる。しかし、走査チェーン30、40、50の少くとも2つの各クロックレートはそれぞれ異なる。多重クロックジェネレータ61は、走査チェーン30、40、50をクロッキングするのに必要な各クロックレートのクロック信号を、各クロックレートの最高のレートで動作するシステム・クロック信号CSから発生する。必要なクロックレートのクロック信号は、クロック・バス81の各ラインを経由して走査チェーン30、40、50のクロック・バスCKに結合される。構成コントローラ62は、制御ロジック65からの制御信号に応答し、モード選択バス82の各ラインを経由して、適切なモード選択信号を走査チェーン30、40、50のモード選択入力MSに印加する。走査チェーン30、40、50は同じクロックレートでは動作していないので、各モード選択信号は、以下に詳細に検討されるように、それぞれ異なる。

【0024】テスト刺激パターンジェネレータ63は、疑似ランダムテスト刺激パターンを発生するために走査チェーン30、40、50の各最高のクロックレートで動作する。テスト刺激パターンは、テスト刺激バス83を経由して走査チェーン30、40、50の走査入力SIに印加される。

【0025】テスト応答パターン処理装置64は、走査チェーン30、40、50の各クロックレートの最高のレートで動作し、走査チェーン30、40、50からクロッキングされたテスト応答パターンを処理する。テスト応答パターンは、テスト応答バス84を経由して、各走査チェーン30、40、50の走査出力SOから受信される。テスト応答パターン処理装置64は、テスト応答パターンを一つのテスト応答信号に圧縮しTAP70とテスト出力端子74を経由して外部テスト装置へ転送する。外部テスト装置は、このテスト応答信号と外部テスト装置にストアされる予想テスト反応信号と比較する。

【0026】走査テストを開始する場合は、外部テストはTAP70に適切な信号を送出し、そのTAP70は、適切な制御信号を制御ロジック65に送る。制御ロジック65は、制御バス67を経由して、適切な制御信号を、多重クロックジェネレータ61、構成コントローラ62及びテスト刺激パターンジェネレータ63に送出する。構成コントローラ62は、適切なモード選択信号

11

をモード選択バス82に印加し、走査チェーン30, 40, 50を走査モードにする。テスト刺激パターンジェネレータ63は、テスト刺激パターンを発生し、走査チェーン30, 40, 50の各クロックレートで、多重クロックジェネレータが走査チェーン30, 40, 50にクロッキングする間テスト刺激パターンをテスト刺激バス83に印加する。

【0027】テスト刺激パターンが3つの走査チェーン30, 40, 50に完全にロードされると、構成コントローラ62は、適切なモード選択信号をモード選択バス82に印加し、各走査チェーン30, 40, 50の各クロックレートの少なくとも1クロック・サイクルの間の通常動作モード中に、走査チェーン30, 40, 50を再構成する。この期間に、テスト刺激パターンは、複合ネットワーク20に印加され、少なくともいくつかの記憶素子にストアされるデータを変化させる。次に、構成コントローラ62は適切なモード選択信号をモード選択バス82に印加し、記憶素子を走査モードに再構成し、テスト応答パターンが後続のクロックサイクルの間に、走査チェーン30, 40, 50からクロッキングされる。テスト応答パターンは、テスト応答バス84を経由して、各走査チェーン30, 40, 50からテスト応答処理装置64にクロッキングされる。そのテスト応答処理装置64は、テスト応答パターンを一つのテスト応答信号に圧縮する。テスト応答処理装置64は、次に、タップ70を経由して、一つのテスト応答信号を外部テスト装置に送出する。外部テスト装置はテスト応答信号と外部テスト装置にストアされた予想テスト応答信号とを比較する。

【0028】図4は、上述のシーケンスにおいて使用される信号のタイミング図である。クロック信号CK1及びモード選択信号MS1は、走査チェーン30に印加され、クロック信号CK2及びモード選択信号MS2は、走査チェーン40に印加され、クロック信号CK3と選択信号MS3は走査チェーン50に印加される。

【0029】図5は図3の走査チェーン30及び走査チェーン40の部分の拡大図である。図5において、各走査チェーン30, 40, 50の記憶素子10のエッジ・トリガフリップフロップ14は、図4に示すように、各クロック信号CK1, CK2, CK3の各正方向の遷移でアップデートされる。テスト刺激パターンは、各モード選択信号MS1, MS2, MS3がハイに保持されている各走査入力期間中に、テスト刺激パターンジェネレータ63から各走査チェーン30, 40, 50にクロッキングされる。全ての各走査入力期間は、最高レートのクロックCK1の複数のクロック・サイクル時間で重複し、テストパターンが各走査チェーン30, 40, 50を確実に満たす程度に十分長いものである。

【0030】各クロック信号の遷移A1, A2, A3によって、モード選択信号MS1, MS2, MS3は、各

12

通常モード期間ではローに保持され、走査チェーン30, 40, 50を通常モードにする。各通常モード期間は、クロックCK1, CK2, CK3の1サイクルに対応し、全ての通常モード期間は最高レートのクロックCK1の共通サイクルと重複している。テスト刺激パターン上の複合ネットワークの動作は、遷移B1, B2, B3でサンプルされテスト応答パターンを集める。

【0031】遷移B1, B2, B3の後、モード選択信号MS1, MS2, MS3は、走査チェーン30, 40, 50の各走査出力期間の間ハイ状態に保たれ、各走査チェーン30, 40, 50の記憶素子を走査モードにする。テスト応答パターンは、各走査出力期間の間クロック信号CK1, CK2, CK3の正方向遷移において走査チェーン30, 40, 50からテスト応答処理装置67にクロッキングされる。全ての走査出力期間は、最高のクロックレートCK1において、複数のクロック・サイクルの間重複し、テストパターンが完全に各走査チェーン30, 40, 50からクロッキングされることを確認するためにはその期間は十分に長い。

【0032】従って、テスト刺激パターンは、重複期間の間に全ての走査チェーン30, 40, 50にクロッキングされ、全ての走査チェーン30, 40, 50の記憶素子は、重複期間の間、通常動作モードに構成される。またテスト応答パターンは、全走査チェーンの重複期間の間にクロッキングされる。このことは、複合ネットワーク20及び記憶素子10の通常動作を正確にシミュレーションする比較的効率の良いテストを供給する。いくつかの複合ネットワーク20及び記憶素子10は、通常動作と異なるレートでクロッキングされる。テスト応答パターンは、記憶素子10が通常動作モードにある間、遷移B1, B2, B3において、最高のレート・クロック信号CK1の共通期間の間に、全ての記憶素子10をアップデートすることによって集められる。

【0033】このクロック信号CK1, CK2, CK3の一つ以上の位相がシフトされ、あるいは他との関係で「スキュー」される場合には問題が生じる。例えば、「送信」記憶素子がデータを「受信」記憶素子に供給し、受信記憶素子に印加されたクロック信号が、送信記憶素子に印加されたクロック信号より遅れる場合は、受信記憶素子は送信記憶素子がデータをアップデートした後、誤ったデータが得られる。

【0034】そのような問題は、2つのエッジ・クロッキング構成を採用することによって避けられる。例えば受信記憶素子10は、図5において示されるように、リタイミング・ラッチ16を有する変形記憶素子10'によって置き換えることができる。そのリタイミング・ラッチは記憶素子10からのデータをブロックすることによって、変形記憶素子10'は2分の1クロック周期だけ速くデータを効率的にサンプルする。

13

【0035】他方、送信記憶素子10は、図6に示すように、そのデータ出力においてリタイミング・ラッチ18を有する変形記憶素子10”に置き換えることができる。リタイミング・ラッチ18は、送信記憶素子10”のデータ出力において2分の1クロック周期の間、データを保持し、受信記憶素子10が所望のデータを確実にサンプルする。

【0036】クロックのスキューの問題は、同じく二相クロッキング構成を採用することによって解決できる。例えば1990年3月27日に発行されたWilcox等のUS特許4,912,340、「非重複二相クロックを発生させる回路」に開示されたクロッキング構成がある。このUS特許4,912,340の明細書は本願で引用されている。

【0037】いくつかのデジタルシステムにおいては、デジタルシステムの通常動作の間、所望の動作特性を提供するために、上述の2つ以上のエッジ・トリガ、及び二相、2エッジ・クロッキング構成を含むことが望ましい。図7は、クロックが混合された所では注意深い設計が望ましいことを示しているタイミング図である。二相または2つのエッジ・クロッキング構成においては、第2のクロック信号CK1', CK2', CK3'が各クロック・レート必要である。第2クロック信号CK1', CK2', CK3'は、最高のレート・クロック信号CK1から得られる。

【0038】図4で議論されたように、テスト刺激パターンは、遷移A1, A, A3まで走査チェーンでシフトされる。エッジ・トリガ・フリップフロップは、遷移B1, B2, B3において、複合ネットワーク20からのデータとともにアップデートされる。そのデータは後の遷移においてエッジ・トリガ・フリップ・フロップによってシフトされる。しかしながら、2エッジトリガ・記憶素子は、遷移C1, C2, C3において複合ネットワーク20からのデータをサンプルし、二相トリガ記憶素子は遷移D1, D2, D3において複合ネットワーク20からのデータをサンプルする。

【0039】もし、データが複合ネットワーク20を介して走査チェーン30から走査チェーン50へ送られ、走査チェーン50の記憶素子が2エッジまたは二相トリガの場合、走査チェーン50の記憶素子は、走査チェーン30が遷移A1で完全なテストパターンを複合ネットワーク20に印加する前に、遷移C3, D3において、複合ネットワーク20からのデータでアップデートされる。従って、走査チェーン50の内容は、走査チェーン30にロードされる完全なテストパターン上の複合ネットワーク20の動作の特徴を示さない。そのようなテストはある値を持った再生可能なテスト結果を提供できるが、このテストの誤りの範囲は走査チェーン30, 50と複合ネットワーク20を順序回路としてモデル化することによってのみ計算できる。しかし、これは非常に

14

難しい作業である。一般には、そのようなタイミング問題を避けることが好ましく、そのためには、自動テストパターン生成ソフトウェアは、複合ネットワーク20を誤り範囲を計算するための比較的単純な組合わせの回路としてモデル化することが必要である。

【0040】そのようなタイミング問題は、複合ネットワーク20を介して走査チェーンからより高いレートでクロッキングされたデータを受信する全ての記憶素子をエッジ・トリガフリップフロップにすることによって避けられる。

【0041】一方、図8において示されるようにタイミング構成を修正することができる。この場合、最高のレート・クロック信号CK1から生成された低レート・クロック信号CK2, CK3は、CK, CK3と同じ各クロックレートを有するクロック信号CK2", CK3"によって置き換えられる。しかし、各クロック信号CK2", CK3"はCK1の逆方向パルスと同じ幅の逆方向パルスを有する。このタイミングの変更は、二相及び2エッジのクロッキングのために使用されるクロック信号CK2', CK3'のパルスをシフトさせる。それによって、遷移C2, C3, D2, D3における記憶素子のアップ・デートは、常に、テスト刺激パターンが、遷移A1で最高のレートの走査チェーン30に完全にシフトされた後に起こる。

【0042】デジタルシステム100の適切なテストにおいては、一般に、一連の後続テスト刺激パターンシーケンスが複合ネットワーク20に印加され、一連の後続のテスト応答パターンシーケンスが生成されることが必要である。テスト応答パターンの各シーケンスは、テスト応答処理装置64によって、一つのテスト符号に圧縮され、また、予想されるテスト符号と比較するために外部テストに送出される。たいていの誤りがテストの初期段階の間に現れるとするならば、各後続のテストパターンシーケンスが前のテストパターンシーケンスより長い一連の後続テストパターンシーケンスを用いることによって、また、テストパターンシーケンスから生じるどのテスト符号もそのテストパターンシーケンスに対する予想されたテスト符号に対応しない場合は、一連のテストパターンシーケンスを阻止することによって、テスト効率は改善される。

【0043】上述の本発明の実施例は、本発明の概念からずれることなく変更できる。例えば図4, 7, 8のタイミング図は、モード選択信号MS1, MS2, MS3を示し、それらは各々クロックCK1, CK2, CK3の単一サイクルの間ローに維持される。実際的な実施例においては、一般に、各モード選択信号MS1, MS2, MS3は、各通常モードの期間中、通常動作モードの走査チェーン30, 40, 50を構成する。各通常モードは最高のレート・クロックCK1の少なくとも1サイクルの期間で重複する。しかしながら、モード選択信

15

号MS1、MS2、MS3が、走査チェーンの各クロックレートで完全なクロック・サイクルに対して、通常動作モードの各走査チェーン30、40、50の記憶素子を構成するということは重要なことではない。例えばモード選択信号MS1、MS2、MS3は、図4、7、8のタイミング図で点線で示されるように、最高のレートのクロックの単一の共通サイクルの間、ローに維持される。しかしながら、最高のクロックレートよりかなり低いクロックレートの2エッジまたは二相クロッキングを用いる記憶素子を使うときには、特別の注意が必要である。

【0044】上述のテスト構成は、詳細に上に記述された以外の走査テスト方法にも十分使用できる。例えば、境界走査チェーン50は、クロック・バス81の別々のクロック・ラインから供給され、他の走査チェーン30、40から独立にクロッキングされる。さらに、境界走査チェーン中の個々のマルチプレクサ54、55は、タップ70、BISTコア60中の制御ロジック65及び制御バス85を介して、別々に制御される。その結果、境界走査チェーン50は、デジタルシステム100の通常動作の間に、境界条件のサンプリングのために別々に動作する。

【0045】上述の実施例において、タップ70及びBISTコア60は、テストされるデジタル集積回路の一部として実行され、他のテスト機能は、TAP70を介してデジタル回路に接続された外部テスト装置によって供給される。テスト機能を他の方法で区分することも可能である。例えば、タップ及びBISTコア機能のいくつか又は全てがデジタル集積回路外部テスト装置から外され外部のテスト装置中に置かれ、又は、ある外部のテスト装置機能をデジタル集積回路の一部として実装することもできる。多重クロック信号とテスト刺激パターンを生成し、及び集積回路上のテスト応答パターンを圧縮することによって、外部テスト装置とテスト中のデジタル集積回路の間的高速通信のための要求を減らすことができる。それにより通常動作速度でデジタル集積回路を高速にテストすることが容易になる。

【0046】また、BISTコア機能も異なった方法で構成できる。例えば、上記のUS特許4,503,537は、境界走査チェーンとの関連のみで使用される別々のテスト刺激パターンジェネレータ及び別々のテスト応答パターン・アナライザを有するテスト・システムを開示する。

【0047】BISTコア及びタップ機能もまた異なった方法で構成できる。例えば、タップ70は、IEEE1149.1テスト・インターフェースである必要はない。どのような適切なテスト・インターフェースでもよい。テスト刺激パターンジェネレータ63及びテスト応答パターン処理装置64は、LFSR以外の形式のものでもよい。例えば、それらは、セルラ・オートマタを

16

用いることができる。多重クロックジェネレータ61は、基本クロック信号を、システムクロックから受信する代わりに、外部テスト装置から受信することもできる。

【0048】

【発明の効果】本発明は、以上のように構成されているために、通常動作の間、異なる記憶素子が異なるレートでクロッキングされるデジタル集積回路のようなデジタルシステムを容易にテストすることができる効果を有する。

【図面の簡単な説明】

【図1】本発明の一実施例による走査可能な記憶素子の概略ブロック図である。

【図2】図1の走査可能な記憶素子の拡大ブロック図であり、その中で記憶素子は走査テストが可能なシステムをつくるために複合ネットワークに接続される。

【図3】本発明の一実施例によるデジタルシステムのブロック図である。

【図4】図3のデジタルシステムのテストに使用される信号のタイミング図である。

【図5】図3の走査チェーン部の一実施例の拡大図である。

【図6】図3の走査チェーン部の他の実施例の拡大図である。

【図7】図3のデジタルシステムのテストに使用される他の信号を示すタイミング図である。

【図8】図3のデジタルシステムのテストに使用されるさらに他の信号を示すタイミング図である。

【符号の説明】

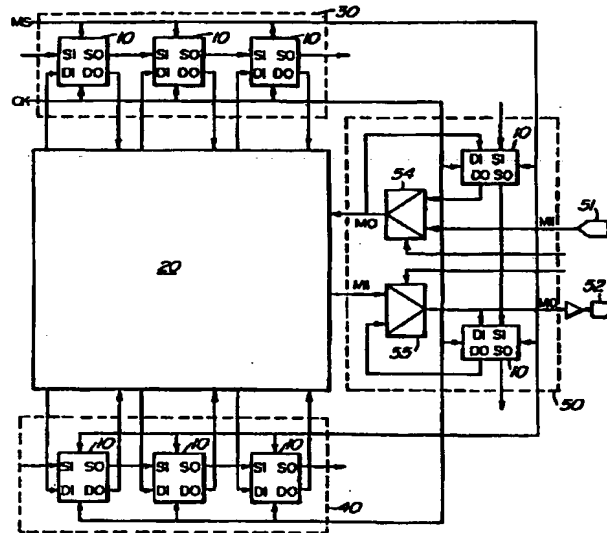
- 10 記憶素子
- 10' 変形記憶素子
- 10" 送信記憶素子
- 12 マルチプレクサ
- 14 フリップフロップ
- 18 ソフトウェアストア
- 20 複合ネットワーク
- 30 走査チェーン
- 40 走査チェーン
- 50 境界走査チェーン
- 51 入力端子
- 52 出力端子
- 54 マルチプレクサ
- 55 マルチプレクサ
- 60 BISTコア
- 61 多重クロックジェネレータ
- 62 構成コントローラ
- 63 テスト刺激パターンジェネレータ
- 64 テスト応答パターン処理装置
- 65 制御ロジック
- 70 テスト・アクセスポート (TAP)

18

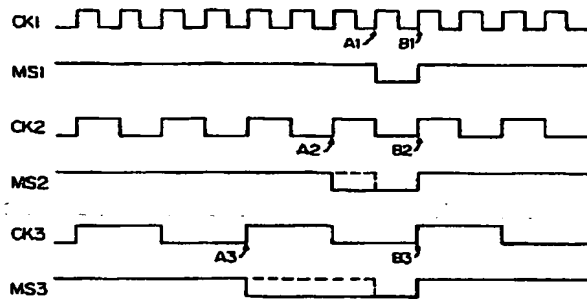
* 100 デジタルシステム

✱

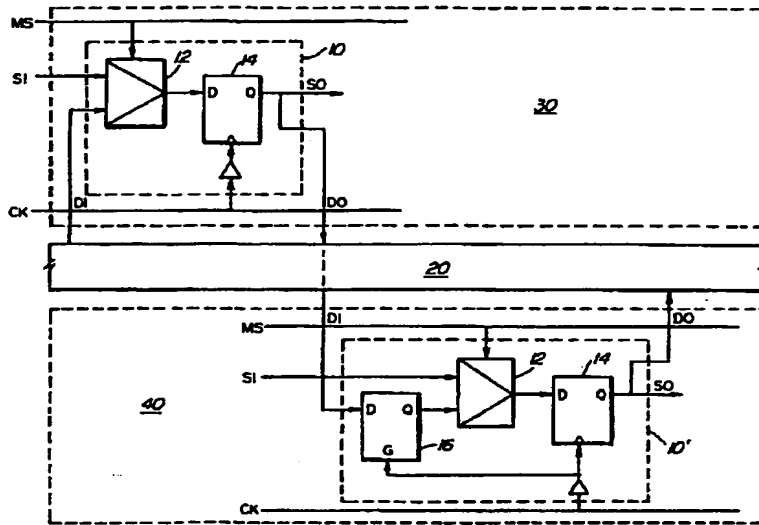
【圖 2】



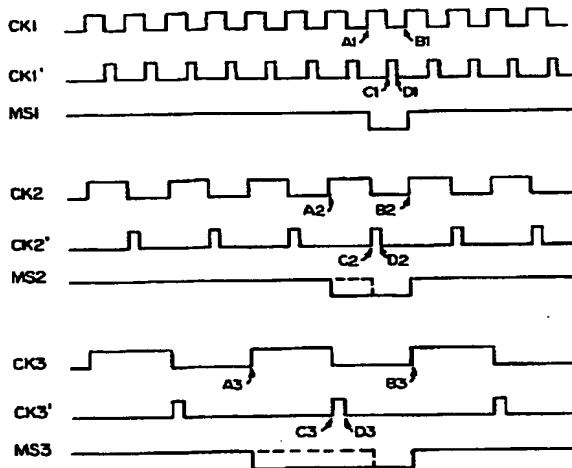
【図 4】



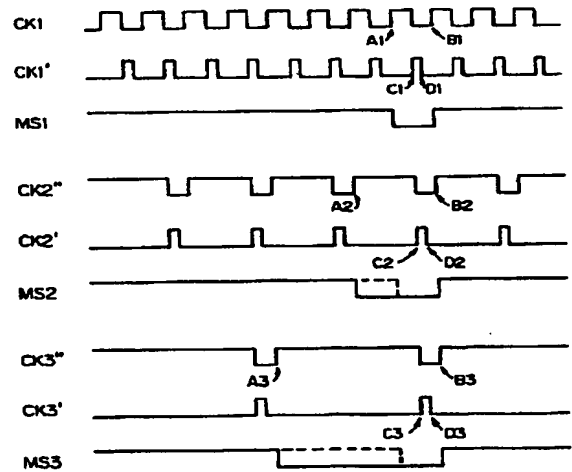
【図 5】



【図 7】



【図 8】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☒ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER: _____**

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.